

## 明 細 書

### 情報処理装置およびデータアクセス方法

#### 技術分野

- [0001] 本発明は、連続するカラムアドレスのデータをバースト転送するバーストモードを有し画像データを記憶するDRAMから、画像データ中の矩形領域を読み出して処理する情報処理装置およびデータアクセス方法に関する。

#### 背景技術

- [0002] 近年、システムLSIでは複数の機能が搭載されるが、システムコストダウンの観点から、DRAMを例えばユニファイドメモリのような形態で使用することも多く、単一のDRAMに対して多種多様なDRAMアクセス要求がなされることが多くなっている。
- [0003] また、メディア処理等の複数の機能が搭載されるシステムLSIは高いバンド幅を要求するので、ますますDRAMの高速化を必要としている。これに応じて、各メモリメーカはDRAMの高速化にしのぎを削っている。
- [0004] しかしながら、DRAMのメモリセル自体の動作周波数は以前と変わらないため、システムLSIから見た場合、DRAMへの最小アクセスサイズがどんどん大きくなっている。このため、バースト長に相当する長いデータを転送する場合は問題ないが、短いデータを転送する場合には、不要なデータの転送量が大きくなり、実効バンド幅が下がるという問題がある。例えば、メディア処理の場合、ビデオデコードに必要な動き補償処理の実効バンド幅低下が問題となるが、従来はこれを許容するような高コストのDRAMを使用することで回避している。
- [0005] また、実効バンド幅を向上させるため例えば特許文献1に開示された画像処理装置は、フレームデータを記憶するフレームメモリから、フレームデータ中の1スライス分を保持するキャッシュメモリを備えることによって、実行バンド幅の改善を図っている。
- 特許文献1:特開2000-175201号公報
- #### 発明の開示
- #### 発明が解決しようとする課題
- [0006] 従来は、動き補償処理では参照画像のアクセスが矩形単位のアクセス、つまり横方

向のデータ長が短いアクセスであるのに対し、動き補償処理でアクセスする単位をライン単位でアクセスしているために、不要なデータ転送量が大きく、実効バンド幅が下がるという課題がある。すなわち、前述したようにDRAMへの最小アクセスサイズがどんどん大きくなっているため、ライン方向にバースト長よりも短いデータを転送をする場合に、不要なデータ転送量が大きく、実効バンド幅が下がるという課題がある。

[0007] また従来、DRAMの物理アドレスと画像データの論理アドレスとの間のアドレスマッピングは、ライン方向アクセスに対してバースト長をかせぎたいために、ライン方向にカラムアドレスが連続するようにマッピングされている。このために、動き補償処理のようなライン方向にバースト長よりも短いデータに対するアクセスでは、不要なデータ転送量が大きくなり、実効バンド幅が下がるという課題がある。

[0008] さらに、スライス単位にデータをキャッシュするキャッシュメモリを用いても、動き補償処理のようにスライスの範囲を超える矩形領域のアクセスに対しては実効バンド幅を向上できないという課題がある。

[0009] 本発明は、上記課題を解決するものであり、動き補償処理のようにアクセスが矩形単位である場合でも、不要なデータの転送量を削減し、実効バンド幅を改善した情報処理装置およびデータアクセス方法を提供することを目的とする。

#### 課題を解決するための手段

[0010] 上記目的を達成するため本発明の情報処理装置は、連続するカラムアドレスのデータをバースト転送するバーストモードを有するDRAMと、アクセス要求を発行する一つ以上のデータ処理手段と、データ処理手段から発行されたアクセス要求に含まれるアクセスアドレスを変換するアドレス変換手段とを備え、前記データ処理手段のうち少なくとも一つのデータ処理手段は、前記画像データ中の $M \times N$  ( $M$ および $N$ は整数)の矩形領域をアクセスし、前記アドレス変換手段は、第 $L$  ( $L$ は整数)ラインの $K + m$  ( $K$ および $m$ は整数で $m \leq M$ )カラム目のデータと第 $L + n$  ( $L$ および $n$ は整数で $n \leq N$ )ラインの $K$ カラム目のデータとが連続するカラムアドレスになるようにアドレスを変換する。

[0011] この構成によれば、矩形アクセスのような短いバースト長のアクセスに対して、無駄な転送量を削減でき、実効バンド幅を向上させるという効果がある。

- [0012] ここで、前記DRAMの一部または全ての領域は、前記画像データを蓄積するフレームメモリであり、前記矩形領域は、前記画像データ中のMピクセル×Nライン(MおよびNは整数)であり、前記データ処理手段は、動き補償または動き検出を行う構成でもよい。
- [0013] ここで $n=2n'$ であってもよい。  
この構成によれば、フィールド予測のアクセスに対して、不要な転送量を削減でき、実効バンド幅を向上させるという効果がある。
- [0014] ここで、前記データ処理手段のうち他の一つのデータ処理手段は、前記画像データをライン単位にアクセスし、2nライン全てのデータを連続して読み出す構成でもよい。
- [0015] この構成によれば、上記のアドレス変換手段のよりマッピングされるDRAMに対してライン単位でアクセスするデータ処理手段にとっても無効な転送量を削減でき、実効バンド幅を向上させるという効果がある。
- [0016] ここで、前記データ処理手段は、入力されたストリームを少なくとも2マクロブロック以上の単位で動き補償によって復号し、前記DRAMは、前記データ処理手段により復号された画像データを格納し、前記情報処理装置は、さらに、前記DRAMよりも小さい記憶容量と高速なアクセス速度を有するメモリと、前記DRAMから前記メモリへデータを転送するデータ転送手段とを備え、前記データ処理手段は、前記DRAMに格納された画像データを参照データとしてアクセスするようにしてもよい。
- [0017] ここで、前記DRAMに格納された画像データは、矩形領域のサイズよりも大きい分割領域に分割され、前記データ転送手段は、前記データ処理手段からのアクセス要求に基づいて、前記DRAMからメモリに前記分割領域単位にデータを転送するようにしてもよい。
- [0018] ここで、前記データ転送手段は、前記分割領域のサイズを保持するレジスタを有する構成としてもよい。
- [0019] 複数の矩形領域を同時に転送することが可能となるため、無効な転送量を削減でき、実効バンド幅を向上させる効果がある。
- [0020] ここで、前記データ転送手段は、前記データ処理手段から予め決められたn個の読

み出し要求が出力されたとき、前記DRAMから前記メモリへデータを転送するようにしてもよい。

[0021] ここで、前記データ転送手段は、前記分割領域のサイズと前記 $n$ とを保持するレジスタを有する構成としてもよい。

[0022] ここで、前記データ転送手段は、前記データ処理手段からのアクセス要求が隣接または重なる矩形領域を要求する場合は、当該矩形領域全てを含む分割領域を、前記DRAMから前記メモリへ転送するようにしてもよい。

[0023] ここで、前記データ処理手段は、入力されたストリームから複数のマクロブロックに対応する複数の動きベクトルを検出する動きベクトル検出手段と、入力されたストリームをマクロブロック単位で復号し、復号結果を前記DRAMに格納する復号手段とを備え、

前記複数の動きベクトルに基づいて、前記DRAMへアクセスするアドレスが連続になるようにマクロブロックの復号化の順番を入れ替えるようにしてもよい。

[0024] また、本発明のデータアクセス方法は、連続するカラムアドレスのデータをバースト転送するバーストモードを有し画像データを記憶するDRAMから、前記画像データ中の $M$ ビクセル $\times N$ ラインからなる矩形領域をアクセスするデータアクセス方法であって、前記矩形領域のアクセス要求を入力する入力ステップと、アクセス手段から発行されたアクセス要求に含まれる前記アクセスアドレスを変換するアドレス変換ステップとを有し、前記アドレス変換ステップにおいて、第 $L$  ( $L$ は整数)ラインの $K+m$  ( $K$ は整数で $m \leq M$ )カラム目のデータと第 $L+n$  ( $L$ は整数 $n \leq N$ )ラインの $K$ カラム目のデータとが連続するカラムアドレスになるようにアドレスを変換する。

発明の効果

[0025] 以上のように、本発明の情報処理装置およびデータアクセス方法によれば、矩形アクセスのようなバースト長よりも短いデータのアクセスに対して、無効な転送量を削減でき、実効バンド幅を向上させる効果がある。

図面の簡単な説明

[0026] [図1]図1は本発明の実施の形態1による情報処理装置の構成図である。

[図2]図2はコマンド処理部の構成図である。

[図3]図3は従来のアドレス変換のマッピング例を示す図である。

[図4]図4はアドレス変換部のマッピング例を示す図である。

[図5]図5はアドレス変換部のアドレス変換例を示す図である。

[図6]図6はアドレス変換部のマッピング例を示す図である。

[図7]図7(a)矩形単位にアクセスするためのマッピング例を、図7(b)はライン単位にモリアクセスを要求するマスタのアクセス順番例を、図7(c)はライン単位にモリアクセスを要求するマスタのアクセス順番例を示す図である。

[図8]図8は本発明の実施の形態2による情報処理装置の構成図である。

[図9]図9はデータ転送部の転送領域例を示す図である。

[図10]図10はデータ転送部の転送領域例を示す図である。

[図11]図11はデータ転送部の転送領域例を示す図である。

[図12]図12は復号化装置のタイミングチャートを示す図である。

## 符号の説明

- [0027] 1、3 メモリ
- 2、2a 情報処理装置
  - 4 データ転送部
  - 10 メモリインターフェイス
  - 11 コマンド処理部
  - 12 データ処理部
- 13～15 メモリアクセス要求マスタ
  - 20 コマンド用バス
  - 21 データ用バス
- 100 アドレス変換部
- 201 復号化装置
- 202 動きベクトル検出部
- 203 復号部

## 発明を実施するための最良の形態

- [0028] 以下、本発明の実施形態における情報処理装置について図面に基づいて詳細に

説明する。

[0029] (実施の形態1)

図1は本発明の実施の形態1における情報処理装置の構成を示すブロック図である。この情報処理装置2は、外部のメモリ1に接続されるメモリインターフェース10、コマンド処理部11、データ処理部12、マスタ13～15を備える。例えば、マスタ13はストリームの復号処理において矩形領域単位でメモリ1をアクセスし、マスタ14は復号画像を外部出力するためにライン単位でメモリ1をアクセスする。

[0030] 同図において、メモリ1は連続するカラムアドレスのデータをバースト転送するバーストモードを有するDRAMであり、画像データを記憶する。

[0031] 複数のマスタ13～15は共通のコマンド用バス20およびデータ用バス21に接続され、メモリアクセス要求としてのコマンドをコマンド処理部11に出力し、データをデータ処理部12に入出力する。複数のマスタ13～15からのコマンドは優先順位によりシリアル化され、メモリインターフェース10を経由し、メモリ1へ送られる。ライトの場合は、ライトデータがコマンドと同期してメモリインターフェース10を経由し、メモリ1へ送られる。リードデータの場合は、コマンドがメモリ1で受け付けられた後、しかるべき時間経過後、メモリインターフェース10を経由で、データ処理部12に返される。その後、データ用バス21を経由し、マスタ13、14、15の1つに返される。

[0032] コマンド処理部11は、図2に示すように、アドレス変換部100を有し、論理アドレスを物理アドレスに変換する機能を持っている。具体的には、画像データ中のMピクセル×Nライン(MおよびNは整数)の矩形領域がアクセスされる場合に、アドレス変換部100は、第L(Lは整数)ラインのK+m(Kおよびmは整数で $m \leq M$ )カラム目のデータと第L+n(Lおよびnは整数で $n \leq N$ )ラインのKカラム目のデータとが連続するカラムアドレスになるようにアドレスを変換する。図3は、従来のアドレス変換で行っていたマッピング例であり、DRAMの最小アクセスサイズを4バーストとした場合、(K+1)カラム目の一部と(K+2)カラム目および(K+3)カラム目の全てのデータは無効データとなり、有効バンド幅が低下する。一方、図4は、 $m=2$ 、 $n=1$ の場合のアドレス変換部100で行うマッピング例だが、(K+1)カラム目と(K+2)カラム目のアドレスを連続させることによって、無駄転送は、(K+1)カラム目の一部のデータと(K+2)カ

ム目の一部のデータとなり、図3に示す従来のマッピングに対して、実効バンド幅を向上させることが可能となる。図5にアドレス変換部100の論理—物理アドレス変換の一例を示す。

[0033] 図6は $m=2$ 、 $n=2$ の場合のアドレス変換部100のマッピング例である。

図6において、Lライン目、L+2ライン目、L+1ライン目、L+3ライン目という順番でアドレスが連続している。DRAMの最小アクセスサイズを4バーストとした場合、1回目のアクセスはLライン目とL+2ライン目をアクセスし、2回目のアクセスはL+1ライン目とL+3ライン目をアクセスする。例えば、動き補償処理において、フィールド予測の場合、参照画像の参照先は、ラインを一つ飛ばしに行う。図6のようなマッピングを行えば、動き補償処理を行う際、フィールド予測の場合も無効な転送量を減らし、実効バンド幅を向上させることが可能となる。また、フレーム予測の場合も、図6の丸付き数字の1、2というアクセスを連続して行えば問題ない。

[0034] 図7は、ライン単位でメモリアクセスするマスタ(例えばマスタ14)によるアクセス順番を示したものである。上記のようなマッピング(同図(a)参照)を行った場合、DRAM上の同一領域を、矩形単位にメモリアクセスするマスタとライン単位にメモリアクセスするマスタとはメモリを共有することになる。

[0035] マスタ14は、ライン単位に、例えば丸付き数字の1、3、 $\dots$ 、15、2、4、6、 $\dots$ 、16という順番でアクセスしたい(同図(b)参照)のに対し、無効な別のラインのデータを取ってきてしまうかもしれない。これに対し、本実施の形態では、コマンド処理部11およびデータ処理部12が4ライン分全てアクセスしてから(同図(c)参照)、ライン単位のメモリアクセス要求を行ったマスタの処理を開始すれば、前述したような不都合は解消される。例えば、復号化した結果に対してフィルタ処理を行う場合、フィルタ処理が4タップのフィルタであれば、4ライン分同時に取る必要があるため、前述したようなアクセス方法をすれば、無効な転送量を削減でき、実効バンド幅を向上させることが可能となる。

[0036] (実施の形態2)

図8は本発明の実施の形態2における情報処理装置の構成を示すブロック図である。この情報処理装置2aは、メモリ3と復号化装置201とを備える。復号化装置201

は、上記のコマンド処理部11と、上記のデータ処理部12と、外部から入力されるストリームから複数のマクロブロックに対応する複数の動きベクトルを検出する動きベクトル検出部202と、入力されたストリームをマクロブロック単位で復号し、復号結果を前記メモリ1に格納する復号部203とを備える。

- [0037] 復号化装置201はメモリ1とメモリ3のいずれからもデータ転送が可能になっている。メモリ3の容量はメモリ1より小さい。例えば、メモリ1はDRAMで、メモリ3はより高速なSRAMである。復号化部203は、動き補償処理によりストリームを復号する。動き補償処理において、復号化部203は、メモリ1中の既に復号済の画像データを参照画像として矩形領域をメモリ1から読み出す必要がある。この処理の時、データ転送部4は、メモリ1に格納されている参照画像のうち必要なデータを矩形領域単位ではなく分割領域単位でメモリ3へ転送する。図9はデータ転送部4により転送される分割領域例を示したものである。同図では便宜上6×6個の分割領域を表している。図9の例は6マクロブロック処理した時点での各マクロブロックで参照する参照画像の参照先を示したものである。従来技術では、マクロブロック単位で参照画像を取ってきていたため、数字の書いてある矩形領域そのものをその都度転送していた。本実施の形態では、数マクロブロック単位で処理を行い、予めメモリ3より小さく矩形領域よりも大きなサイズで分割した分割領域に1つ以上の参照画像が参照された場合に、データ転送部4は当該分割領域を転送する。例えば、図9において1000、1001、1002等を示した分割領域を転送する。1002の場合は、予め分割した領域がメモリ3の半分の容量以下であれば2矩形分同時に転送してもよい。また、1000、1001、1002のデータ転送順は問わない。なお、予め決めておく分割サイズはレジスタで変更できるようにしてもよい。そのレジスタは動的に変更しても構わない。一回で大きな矩形領域を取ってることが可能となるため、無効転送領域が削減でき、実効バンド幅を向上させることが可能となる。

- [0038] 図10はデータ転送部4の別の転送領域例を示したものである。データ転送部4は、メモリ3の容量以下の範囲で、予め設定された個数分参照された場合に転送を行う。なお、予め決めておく個数はデータ転送部4内のレジスタ設定によって変更できるようにしてもよい。そのレジスタは動的に変更しても構わない。一回の転送で矩形領域



よりも大きな分割領域を転送するため、複数回の転送による無効転送領域が削減でき、実効バンド幅を向上させることが可能となる。

- [0039] 図11はデータ転送部4のさらに別の転送領域例を示したものである。データ転送部4は、メモリ3の容量以下の範囲で、参照画像のアドレスが連続する場合、または重なる場合のみ複数の参照画像を同時に転送する。一回で大きな矩形領域を取ってくることが可能となるため、無効転送領域が削減でき、実効バンド幅を向上させることが可能となる。

- [0040] 図12は復号化装置201のタイミングチャートを示したものである。復号化処理として、図示するように大きく4つの処理がある。そのうち、動きベクトル検出部202は、Pre Search処理として、入力されたストリームを解析し、予め複数のマクロブロック分の複数の動きベクトルを検出する処理を行う。PreSearch処理で、複数のマクロブロック分の動きベクトルを検出した後に、復号部203は、検出された動きベクトルの値に基づいて、参照すべき矩形領域のアドレスが連続するように、マクロブロックの復号化の順番を入れ替え、その後のVLD(可変長符号復号化)、IDCT(逆離散コサイン変換)、MC(動き補償)処理をパイプライン的に行う。この場合、動き補償処理は流れてくるマクロブロックの順番に参照画像をメモリから取ってくる処理を行うが、予め参照画像のアドレスが連続するようにマクロブロックの順番を入れ替えているため、一回の分割領域の転送で、矩形領域を複数含むことになるため、無効転送領域が削減でき、実効バンド幅を向上させることが可能となる。

### 産業上の利用可能性

- [0041] 本発明は、連続するカラムアドレスのデータをバースト転送するバーストモードを有し画像データを記憶するDRAMを備える情報処理装置に適しており、例えば圧縮符号化されたストリームを再生するネットワーク端末、DTV(デジタルテレビ)動画の記録再生可能なデジタルカメラ、カメラ付き携帯電話機、DVD録画／再生機、PDA、パーソナルコンピュータ等に適している。

## 請求の範囲

- [1] 連続するカラムアドレスのデータをバースト転送するバーストモードを有するDRAMと、  
 アクセス要求を発行する一つ以上のデータ処理手段と、  
 データ処理手段から発行されたアクセス要求に含まれるアクセスアドレスを変換するアドレス変換手段と  
 を備え、  
 前記データ処理手段のうち少なくとも一つのデータ処理手段は、 $M \times N$  ( $M$ および $N$ は整数)の矩形領域をアクセスし、  
 前記アドレス変換手段は、第 $L$  ( $L$ は整数)ラインの $K+m$  ( $K$ および $m$ は整数で $m \leq M$ )カラム目のデータと第 $L+n$  ( $L$ および $n$ は整数で $n \leq N$ )ラインの $K$ カラム目のデータとが連続するカラムアドレスになるようにアドレスを変換することを特徴とする情報処理装置。
- [2] 前記DRAMの一部または全ての領域は、前記画像データを蓄積するフレームメモリであり、前記矩形領域は、前記画像データ中の $M$ ピクセル $\times N$ ライン ( $M$ および $N$ は整数)であり、前記データ処理手段は、動き補償または動き検出を行うことを特徴とする請求項1記載の情報処理装置。
- [3]  $n=2n'$  ( $n'$ は整数)であることを特徴とする請求項2記載の情報処理装置。
- [4] 前記データ処理手段のうち他の一つのデータ処理手段は、前記画像データをライン単位にアクセスし、 $2n$ ライン全てのデータを連続して読み出すことを特徴とする請求項2記載の情報処理装置。
- [5] 前記データ処理手段は、入力されたストリームを少なくとも2マクロブロック以上の単位で動き補償によって復号し、  
 前記DRAMは、前記データ処理手段により復号された画像データを格納し、  
 前記情報処理装置は、さらに、前記DRAMよりも小さい記憶容量と高速なアクセス速度を有するメモリと、前記DRAMから前記メモリへデータを転送するデータ転送手段とを備え、  
 前記データ処理手段は、前記第DRAMに格納された画像データを参照データとし

てアクセスする

ことを特徴とする請求項2記載の情報処理装置。

- [6] 前記DRAMに格納された画像データは前記矩形領域のサイズよりも大きい分割領域に分割され、

前記データ転送手段は、前記データ処理手段からのアクセス要求に基づいて、前記DRAMからメモリに前記分割領域単位にデータを転送する

ことを特徴とする請求項5記載の情報処理装置。

- [7] 前記データ転送手段は、前記分割領域のサイズを保持するレジスタを有することを特徴とする請求項6記載の情報処理装置。

- [8] 前記データ転送手段は、前記データ処理手段から予め決められたn個の読み出し要求が出力されたとき、前記DRAMから前記メモリへデータを転送することを特徴とする請求項5記載の情報処理装置。

- [9] 前記データ転送手段は、前記分割領域のサイズと前記nとを保持するレジスタを有することを特徴とする請求項8記載の情報処理装置。

- [10] 前記データ転送手段は、前記データ処理手段からのアクセス要求が隣接または重なる矩形領域を要求する場合は、当該矩形領域全てを含む分割領域を、前記DRAMから前記メモリへ転送することを特徴とする請求項5記載の情報処理装置。

- [11] 前記データ処理手段は、

入力されたストリームから複数のマクロブロックに対応する複数の動きベクトルを検出検出する動きベクトル検出手段と、

入力されたストリームをマクロブロック単位で復号し、復号結果を前記DRAMに格納する復号手段とを備え、

前記複数の動きベクトルに基づいて、前記DRAMへアクセスするアドレスが連続になるようにマクロブロックの復号化の順番を入れ替える

ことを特徴とする請求項6記載の情報処理装置。

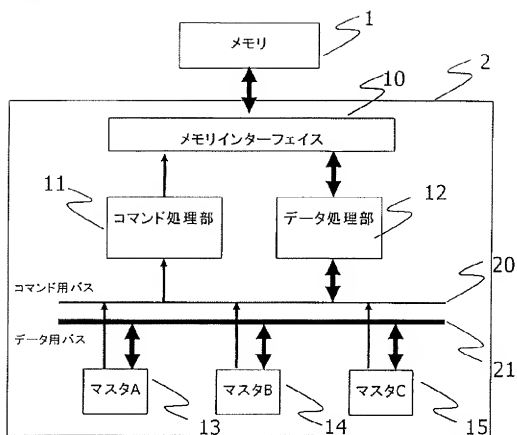
- [12] 連続するカラムアドレスのデータをバースト転送するバーストモードを有し画像データを記憶するDRAMから、前記画像データ中のMピクセル×Nラインからなる矩形領域をアクセスするデータアクセス方法であって、

前記矩形領域のアクセス要求を入力する入力ステップと、  
アクセス手段から発行されたアクセス要求に含まれる前記アクセスアドレスを変換するアドレス変換ステップと  
を有し、  
前記アドレス変換ステップにおいて、第 $L$  ( $L$ は整数)ラインの $K+m$  ( $K$ は整数で $m \leq M$ )カラム目のデータと第 $L+n$  ( $L$ は整数 $n \leq N$ )ラインの $K$ カラム目のデータとが連続するカラムアドレスになるようにアドレスを変換することを特徴とするデータアクセス方法。

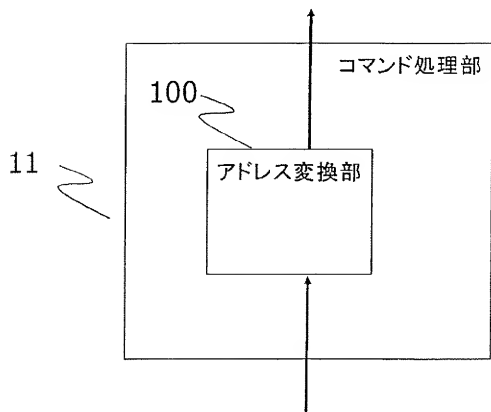
## 要 約 書

本発明の情報処理装置は、連続するカラムアドレスのデータをバースト転送するバーストモードを有するDRAMであるメモリ1と、アクセス要求を発行するマスタ13~15、各マスタから発行されたアクセス要求に含まれるアクセスアドレスを変換するコマンド処理部11とを備え、少なくとも一つのマスタは、 $M \times N$  ( $M$ および $N$ は整数)の矩形領域をアクセスし、前記コマンド処理部11は、第 $L$  ( $L$ は整数)ラインの $K+m$  ( $K$ および $m$ は整数で $m \leq M$ )カラム目のデータと第 $L+n$  ( $L$ および $n$ は整数で $n \leq N$ )ラインの $K$ カラム目のデータとが連続するカラムアドレスになるようにアドレスを変換する。

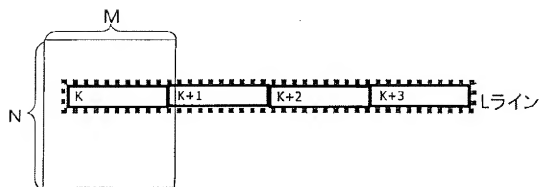
[図1]



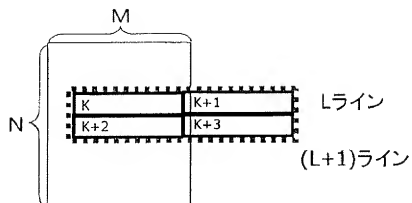
[図2]



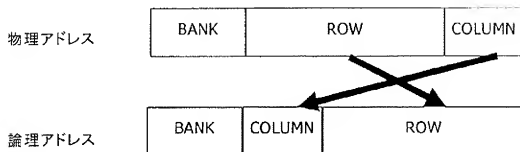
[図3]



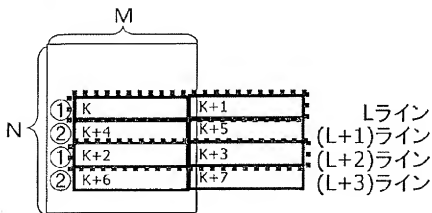
[図4]



[図5]



[図6]





[图7]

(a)

0	1	64	65	128	129	192	193	256	257	320	321	384	385	448	449
32	33	96	97	160	161	224	225	288	289	352	353	416	417	480	481
2	3	66	67	130	131	194	195	258	259	322	323	386	387	450	451
34	35	98	99	162	163	226	227	290	291	354	355	418	419	482	483
4	5	68	69	132	133	196	197	260	261	324	325	388	389	452	453
36	37	100	101	164	165	228	229	292	293	356	357	420	421	484	485
6	7	70	71	134	135	198	199	262	263	326	327	390	391	454	455
38	39	102	103	166	167	230	231	294	295	358	359	422	423	486	487

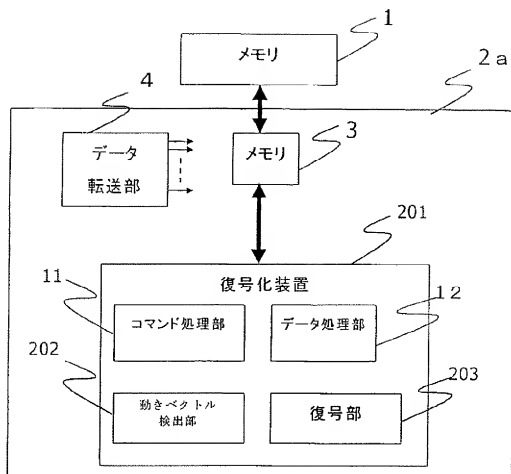
(b)

①0	1	③64	65	⑤128	129	⑦192	193	⑨256	257	⑪320	321	⑬384	385	⑮448	449
②32	33	④96	97	⑥160	161	⑧224	225	⑩288	289	⑫352	353	⑭416	417	⑯480	481
2	3	66	67	130	131	194	195	258	259	322	323	386	387	450	451
34	35	98	99	162	163	226	227	290	291	354	355	418	419	482	483
4	5	68	69	132	133	196	197	260	261	324	325	388	389	452	453
36	37	100	101	164	165	228	229	292	293	356	357	420	421	484	485
6	7	70	71	134	135	198	199	262	263	326	327	390	391	454	455
38	39	102	103	166	167	230	231	294	295	358	359	422	423	486	487

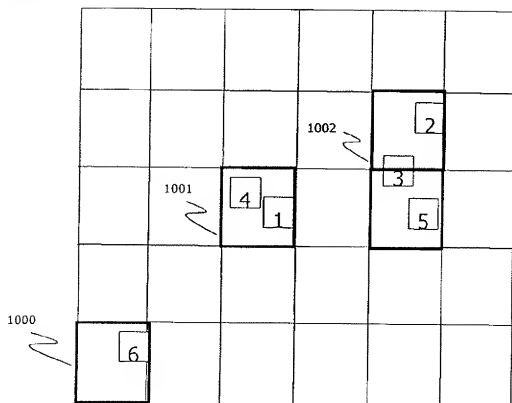
(c)

0	1	64	65	128	129	192	193	256	257	320	321	384	385	448	449
32	33	96	97	160	161	224	225	288	289	352	353	416	417	480	481
2	3	66	67	130	131	194	195	258	259	322	323	386	387	450	451
34	35	98	99	162	163	226	227	290	291	354	355	418	419	482	483
4	5	68	69	132	133	196	197	260	261	324	325	388	389	452	453
36	37	100	101	164	165	228	229	292	293	356	357	420	421	484	485
6	7	70	71	134	135	198	199	262	263	326	327	390	391	454	455
38	39	102	103	166	167	230	231	294	295	358	359	422	423	486	487

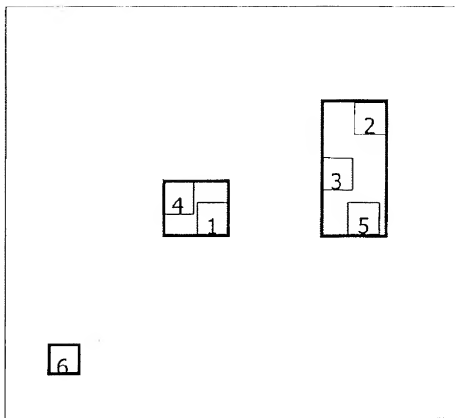
[図8]



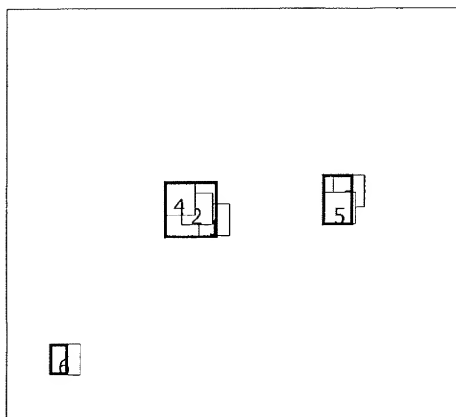
[图9]



[10]



[図11]



7

[図12]

